

PATENT
81790.0305

Express Mail Label No. EV 324 110 905 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Akira UMEZAWA

Serial No: Not assigned

Filed: November 4, 2003

For: Channel Erase Type Nonvolatile Semiconductor
Memory Device and Electronic Card and
Electronic Apparatus Using the Device

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2003-144918 which was filed May 22, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: 

Anthony J. Orler

Registration No. 41,232

Attorney for Applicant(s)

Date: November 4, 2003

500 South Grand Avenue, Suite 1900

Los Angeles, California 90071

Telephone: 213-337-6700

Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月22日

出 願 番 号

Application Number:

特願2003-144918

[ST.10/C]:

[JP2003-144918]

出 願 人

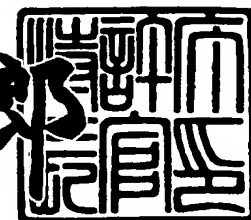
Applicant(s):

株式会社東芝

2003年 6月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3045182

【書類名】 特許願

【整理番号】 A000300529

【提出日】 平成15年 5月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 17/00

【発明の名称】 不揮発性半導体記憶装置およびそれを用いた電子カード
と電子装置

【請求項の数】 13

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 梅沢 明

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

 【識別番号】 100088683

 【弁理士】

 【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置およびそれを用いた電子カードと電子装置

【特許請求の範囲】

【請求項 1】 電氣的にデータを書換可能な複数の不揮発性半導体メモリセルが行列状に配置され、正規のメモリセル群から構成される正規のメモリ空間とは別に冗長なメモリセル群から構成される冗長なメモリ空間が付加され、前記メモリセルの記憶データが電氣的に一括消去されるセルブロックを単位として基盤が複数の分割されたメモリセルアレイと、

前記各セルブロックに行列状に配置され、前記正規のメモリセルを選択するための複数の正規のワード線、前記冗長なメモリセルを選択するための複数の冗長なワード線および複数のビット線と、

前記複数のセルブロックのうちで選択された少なくとも 1 つのセルブロックの基盤を動作条件に応じて所定の電圧状態に設定するために設けられ、選択されたセルブロックの消去動作時には、セルブロックの基盤に正の第 1 電圧を印加するウェル制御回路と、

前記セルブロック内のワード線を選択し、選択したセルブロック内のワード線を動作条件に応じて所定の電圧状態に設定するために設けられ、選択したセルブロックの消去動作時には、セルブロック内の正常なメモリセルに対応する正規のワード線に負の第 2 電圧を印加してチャネル消去を制御し、不良メモリセルに対応する正規のワード線もしくは置換使用されなかった冗長なワード線には、前記第 1 電圧と第 2 電圧との電位差よりも前記第 1 電圧との電位差が小さくなるように設定された第 3 電圧を印加する行デコーダ

とを具備することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 3 電圧は、前記第 1 電圧以下の正の電圧であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記セルブロックにおける不良のメモリセルに対応する不良のローアドレスを記憶する不良アドレス記憶回路と、

外部アドレス入力と前記不良アドレス記憶回路の記憶データを比較して一致／

不一致を示す比較結果を出力する比較回路と、

前記比較結果が一致である場合には前記不良のメモリセルに対応する正規のワード線を前記冗長なワード線に置換するためのアドレスを選択し、前記比較結果が不一致である場合には前記外部アドレス入力を選択し、内部アドレス信号として出力するアドレスマルチプレクサと、

前記各セルブロックのビット線の選択動作を制御し、選択されたビット線を動作条件に応じて所定の電圧状態に設定するために設けられたカラム制御回路

とをさらに具備することを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 4】 前記行デコーダは、二重ワード線方式によって前記セルブロック内のワード線を選択駆動することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】 前記行デコーダは、

前記各セルブロックに共通に設けられ、前記内部アドレス信号に含まれる上位のローアドレスに基づいて各セルブロックのワード線を複数本単位で選択制御するための選択信号を出力する第 1 の行デコーダ回路と、

前記各セルブロックに対応して設けられ、前記内部アドレス信号に含まれる下位のローアドレスに基づいてセルブロックを選択制御するための選択信号を出力する第 2 の行デコーダ回路と、

前記第 1 の行デコーダ回路の出力信号および前記第 2 の行デコーダ回路の出力信号に基づいてセルブロックのワード線を個別に選択制御し、選択したセルブロックの消去動作時には、セルブロック内の正常なメモリセルに対応する正規のワード線もしくは置換使用された冗長なワード線には前記第 2 電圧を印加してチャネル消去を制御し、不良メモリセルに対応する正規のワード線もしくは置換使用されなかった冗長なワード線には前記第 3 電圧を印加する行デコーダする第 3 の行デコーダ回路

とを具備することを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】 前記第 3 の行デコーダ回路は、

前記各ワード線に対応して直列に挿入接続されて書き込み／読み出し／消去動

作時に選択的にオン状態に制御される第 1 のトランスファゲートと、前記第 2 電圧を有する消去バイアス電圧源と前記各ワード線との間にそれぞれ接続された第 2 のトランスファゲートとを具備し、

消去動作時には、正常なメモリセルに対応する正規のワード線もしくは置換使用された冗長なワード線に接続されている前記第 1 のトランスファゲートは、一端に印加される前記第 2 電圧を通過させ、前記不良メモリセルに対応する正規のワード線もしくは置換使用されなかった冗長なワード線に接続されている前記第 1 のトランスファゲートは、一端に印加される前記第 3 電圧を通過させ、

一括消去動作時に、正常なメモリセルに対応する正規のワード線もしくは置換使用された冗長なワード線に接続されている前記第 2 のトランスファゲートは、オン状態に制御されて前記第 2 電圧を通過させ、前記不良メモリセルに対応する正規のワード線もしくは置換使用されなかった冗長なワード線に接続されている前記第 2 のトランスファゲートは、オフ状態に制御される

ことを特徴とする請求項 4 または 5 記載の不揮発性半導体記憶装置。

【請求項 7】 前記第 3 電圧と第 2 電圧との電位差の絶対値は、前記第 2 のトランスファゲートの耐圧以下であることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】 前記選択されたセルブロックの消去動作の後に、当該セルブロックの全てのワード線に第 4 電圧を印加し、当該セルブロックのビット線を選択的に第 5 電圧に設定することにより、前記選択されたセルブロック内の全てのメモリセルの閾値を一定範囲内に一括制御する自己収束制御回路

をさらに具備することを特徴とする請求項 1 乃至 7 のいずれか 1 つに記載の不揮発性半導体記憶装置。

【請求項 9】 前記第 4 電圧は 0V であり、前記第 5 電圧は前記第 2 電圧と前記第 1 電圧との中間の正の電圧であることを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 10】 前記メモリセルアレイの同一列の複数の不揮発性半導体メモリセルが NOR 接続されてなり、NOR 型フラッシュメモリを構成していることを特徴とする請求項 1 乃至 9 のいずれか 1 つに記載の不揮発性半導体記憶装置。

【請求項 1 1】 請求項 1 乃至 1 0 のいずれか 1 項に記載の不揮発性記憶装置は、当該不揮発性半導体記憶装置を制御するためのコントローラと同一半導体チップ上に搭載されていることを特徴とする不揮発性半導体記憶装置。

【請求項 1 2】 請求項 1 乃至 1 1 のいずれか 1 項に記載の不揮発性記憶装置を搭載してなることを特徴とする電子カード。

【請求項 1 3】 請求項 1 2 記載の電子カードと、
前記電子カードに電氣的に接続可能なカードスロットと、
前記カードスロットに接続されたカードインターフェース
とを具備することを特徴とする電子装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電氣的にデータの書替え可能な不揮発性半導体記憶装置およびそれを用いた電子カードと電子装置に係り、特に多数のメモリセルのデータを一括して電氣的に消去が可能なフラッシュメモリにおけるメモリセルアレイに対する消去制御に関するもので、例えばNOR 型フラッシュメモリに使用される。

【0 0 0 2】

【従来の技術】

電氣的にデータの書替え可能な不揮発性半導体記憶装置のうち、一括消去可能なフラッシュメモリは、消去／書き込み動作により、メモリセルトランジスタの浮遊ゲートの電荷量を変えることでその閾値電圧を変え、データを記憶する。例えば、浮遊ゲートの電子を放出して閾値電圧を負にすることで“0”データを記憶させ、浮遊ゲートに電子を注入して閾値電圧を正にすることで“1”データを記憶させる。電子の放出／注入は、例えば浮遊ゲートと半導体基板間でトンネル酸化膜を介して行われる。このため、データの書き替え回数に伴ってトンネル酸化膜が劣化し、例えば浮遊ゲートに注入された電子がトンネル酸化膜から漏れ出てしまい、データの保持が難しくなる。現状では、汎用のフラッシュメモリの書き替え可能回数は10万回から100 万回が必要とされる。

【0 0 0 3】

ところで、NOR 型のフラッシュメモリにおいては、一括データ消去を行う際に消去対象となるメモリセルのゲートに負電位のバイアスを印加する方式が実用化されている。この方式として、(1) ソースおよび基盤（ウェル領域）に正電位のバイアスを印加してFN(Fowler-Nordheim) トンネリングによりチャネル消去を行う方式（チャネル消去型）と、(2) ソースに正電位のバイアスを印加し、基盤に 0 V を印加する方式（負ゲート消去型）などが知られている。

【0004】

図18は、チャネル消去型のフラッシュメモリのメモリセルアレイ内のウェルおよびメモリセル（セルトランジスタ）の構造の一例を示している。

【0005】

図18において、11はP型の半導体基板(PSUB)、11aは P^+ 型の基板コンタクト領域、12はN型ウェル領域(NWELL)、13はP型ウェル領域(PWELL)、12aは N^+ 型のウェルコンタクト領域、13aは P^+ 型のウェルコンタクト領域である。NOR型フラッシュメモリでは、一般的に消去単位は64KByte(=512Kbit)であり、メモリセルアレイ内で消去単位毎にP型ウェル領域13が物理的に分割されており、P型ウェル領域13には一括データ消去の対象となる多数のセルトランジスタが形成されている。14はソース領域およびドレイン領域として形成された N^+ 型不純物拡散層、15はソース領域・ドレイン領域間のチャネル領域上に積層形成されたゲート絶縁膜（トンネル酸化膜）、16はフローティングゲート(floating gate、浮遊ゲート電極)、17は例えばONO膜（酸化膜／窒化膜／酸化膜の積層膜）からなるゲート間絶縁膜、18はコントロールゲート(control gate、制御ゲート電極)であり、この制御ゲート18はワード線の一部として形成される。

【0006】

図19は、図18に示したメモリセルに対するデータの消去、書き込み、読み出しの動作時の各部の電圧（動作条件）を示している。

【0007】

データ消去時は、選択されたメモリセルのドレイン電位 V_d を電位的にフローティング状態(FL)にし、コントロールゲート電位 V_g を-7.5V、ソース電位 V_s および基盤電位（ウェル電位） V_{pw} 、 V_{nw} を+10Vにする。この時、フローティングゲート

ト16に注入されている電子がトンネル酸化膜15を介して基盤側に引き抜かれることによってチャネル消去が行なわれる。これにより、選択されたメモリセルの閾値電圧は読み出しゲート電圧（例えば+5V）以下となる。この状態が“0”記憶状態である。

【0008】

このデータ消去は、選択されたブロックの全てのメモリセルMに対して一括して行うことが可能である。非選択ブロックのワード線およびビット線はフローティング状態にされ、P型ウェル領域13との容量結合で高い電圧になっている。

【0009】

データ書き込み時は、選択されたメモリセルのソース電位 V_s および基盤電位 V_{pw} 、 V_{nw} を0V、コントロールゲート電位 V_g を+9Vにする。この際、“1”書き込みの場合には、ドレイン電位 V_d を+5Vにすると、チャネル領域から電子がフローティングゲート16に注入され、メモリセルの閾値電圧が上昇し、閾値電圧がある値を越えたらメモリセル毎に書き込みが禁止される。これに対して、“0”書き込みの場合には、選択されたメモリセルのドレイン電位 V_d を0Vにすると、選択された閾値電圧のメモリセルMの上昇が禁止される。

【0010】

データ読み出し時は、選択されたメモリセルのソース電位 V_s および基盤電位 V_{pw} 、 V_{nw} を0V、ドレイン電位 V_d を+1V、コントロールゲート電位 V_g を読み出し電圧（+5V）にする。この時、選択されたメモリセルの閾値電圧が読み出しゲート電圧（+5V）以下なら、選択されたビット線BLとソース線SLが導通してビット線BLの電位は比較的低いレベル“L”となる。これに対して、選択されたメモリセルの閾値電圧が読み出しゲート電圧（+5V）以上なら、選択されたビット線BLとソース線SLが非導通になって、ビット線BLの電位は比較的高いレベル“H”となる。

【0011】

従来、チャネル消去型のフラッシュメモリでは、メモリセルアレイ内で発生する様々なメモリセル不良を救済するための冗長回路（Redundancy、リダンダンシ）として、カラム（Column）リダンダンシ、ブロック（Block）リダンダンシを設けているが、ロー（Row）リダンダンシは以下の理由によって採用されることはな

かった。

【0012】

即ち、ウェハに素子を形成した後のダイソートテストにおいて、メモリセルアレイ内のワード線がある消去単位（64KByte ブロック）のP型ウェル領域（基盤）と既に短絡していることが判明した場合、ワード線および基盤には所望の電圧が印加されず、それに対応する消去単位（不良ブロック）の消去ができない。そこで、その不良ブロックはメモリチップ内に予め用意されたブロックリダンダンシに置き換えるしかなかった。このブロックリダンダンシは、1つの独立したメモリ動作が必要とされるので、その個数が増えるほどチップ面積が増大するというペナルティがある。

【0013】

一方、NOR 型フラッシュメモリにおいて、メモリセルのドレインコンタクトがオープン（消去はできるが書き込めないビット）になっているビット不良が考えられる。NOR 型フラッシュメモリにおいては、ドレインコンタクト1つに対して2つのメモリセルが共有しているため、ペアビット不良になり易いが、単に1つのメモリセルのチャネル領域に欠陥が存在し、セル電流が異常な値になって読み出し不良を起こすような単ビット不良もある。

【0014】

このようなビット不良の原因は多種多様であり、不良ビットをブロックリダンダンシかカラムリダンダンシで救済する場合には、ブロック救済を行えば完全に不良を無くすることができるが、前述したようにブロックリダンダンシは面積のペナルティが問題であり、コストの観点から好ましくはない。

【0015】

これに対して、不良ビットをカラムリダンダンシで救済する場合には、消去時に不良ビットに消去電圧が印加されることになるので、書き込み／消去(W/E)の繰り返しの回数によっては不良ビットが消去不良に化ける危険性を孕んでいる。このようにカラムリダンダンシは、面積のペナルティはあるが、ブロックリダンダンシほどはペナルティが大きくはないので、コスト面では有利である。

【0016】

上記したようなビット不良をリダンドで救済する場合、従来は、コスト面を優先させるためにブロックリダンドを極力少なくするように、先ずカラムリダンドで救済し、それから溢れた分とブロックリダンドでしか救済できない不良をブロックリダンドで救済することになっていた。

【0017】

しかし、このような救済を行うと、メモリセルのW/E を繰り返すうちにワード線・基盤間が短絡してチップが正常動作しなくなるビット不良までもがカラムリダンドで置換され、結果として市場不良を引き起こす危険性があった。

【0018】

なお、本願出願人に係る特許文献1および非特許文献1には、前述した負ゲート消去型のフラッシュメモリにおいて、リダンドを備え、消去時には、スペアロウに置き換えを行った不良ローと置き換えに使用しなかったスペアロウについてのみ、消去用の負電位バイアスを行わないように制御する手段を設けることが開示されている。

【0019】

【特許文献1】

特開平7-320496号公報

【0020】

【非特許文献1】

T.Tanzawa, et.al., "A 44mm 2 4-Bank 8-Word Page-Read 64Mb Flash Memory", ISSCC02.

【0021】

【発明が解決しようとする課題】

上記したように従来のチャネル消去型フラッシュメモリは、ビット不良をリダンドで救済する場合に、メモリセルのW/E の繰り返しによってワード線・基盤間が短絡するビット不良までもがカラムリダンドで置換され、市場不良を引き起こす危険性があるという問題があった。

【0022】

本発明は上記の問題点を解決すべくなされたもので、メモリセルのW/E を繰り返

返してもワード線・基盤間が短絡してしまうようなビット不良に絡んだ市場不良を防止可能なチャネル消去型フラッシュメモリを実現し得る不揮発性半導体記憶装置およびそれを用いた電子カードと電子装置を提供することを目的とする。

【0023】

【課題を解決するための手段】

本発明の不揮発性半導体記憶装置は、電氣的にデータを書換可能な複数の不揮発性半導体メモリセルが行列状に配置され、正規のメモリセル群から構成される正規のメモリ空間とは別に冗長なメモリセル群から構成される冗長なメモリ空間が付加され、前記メモリセルの記憶データが電氣的に一括消去されるセルブロックを単位として基盤が複数の分割されたメモリセルアレイと、前記各セルブロックに行列状に配置され、前記正規のメモリセルを選択するための複数の本の正規のワード線、前記冗長なメモリセルを選択するための複数の本の冗長なワード線および複数の本のビット線と、前記複数のセルブロックのうちで選択された少なくとも1つのセルブロックの基盤を動作条件に応じて所定の電圧状態に設定するために設けられ、選択されたセルブロックの消去動作時には、セルブロックの基盤に正の第1電圧を印加するウェル制御回路と、前記セルブロック内のワード線を選択し、選択したセルブロック内のワード線を動作条件に応じて所定の電圧状態に設定するために設けられ、選択したセルブロックの消去動作時には、セルブロック内の正常なメモリセルに対応する正規のワード線に負の第2電圧を印加してチャネル消去を制御し、不良メモリセルに対応する正規のワード線もしくは置換使用されなかった冗長なワード線には、前記第1電圧と第2電圧との電位差よりも前記第1電圧との電位差が小さくなるように設定された第3電圧を印加する行選択駆動回路とを具備することを特徴とする。

【0024】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0025】

<第1の実施形態>

図1は、本発明の第1の実施形態に係るNOR型フラッシュメモリおよびそれを

用いた制御システムの構成例を示すブロック図である。

【 0 0 2 6 】

NOR 型フラッシュメモリ100、SRAM101、ROM102、MPU103はシステムI/Oバス線104を介して相互に接続されている。システムコントローラであるMPU103は、システム起動時にROM102にアクセスし、システム起動プログラムを読み出す。

【 0 0 2 7 】

図2は、図1中のNOR型フラッシュメモリ100の構成例を示すブロック図である。

【 0 0 2 8 】

本例のNOR型フラッシュメモリにおいて、メモリセルアレイは複数の例えば64KB単位のサブセルアレイ110に分割（基盤が電氣的に分離）され、二重ワード線選択方式が採用されている。メモリセルアレイの一端側には、各サブセルアレイ110に共通に、第1の行デコーダ回路として、グローバルローデコーダ(Global Row Decoder)111およびリダンダンシ(R/D)用グローバルローデコーダ112が配置されている。このグローバルローデコーダ(M0～M127)111およびR/D用グローバルローデコーダ(MRD)112は、後述するアドレスマルチプレクサ121から供給される上位のロードアドレスRA3-9をデコードする。

【 0 0 2 9 】

各サブセルアレイ110は、複数のメモリセルがマトリクス状に配置されており、正規メモリ空間110aとは別に冗長メモリ空間が付加されている。正規メモリ空間110aには1024本のワード線WLと512本のビット線BLが配置されており、冗長メモリ空間として、正規メモリ空間のビット線BLに連なる512本のビット線BLと8本のワード線WLが配置されたローリダンダンシ110bが設けられている。

【 0 0 3 0 】

そして、第2の行デコーダ回路として、サブローカルローデコーダ(Sub Local Row Decoder)125が設けられている。このサブローカルローデコーダ125は、後述するアドレスマルチプレクサ121から供給される下位のロードアドレスRA0-2をデコードし、各サブセルアレイ110の選択／非選択に応じて所望電位のワード

線駆動電位を出力する。

【 0 0 3 1 】

また、各サブセルアレイ110 に対応して、各サブセルアレイ110 の一端側には、第3 の行デコーダ回路として、ローカルローデコーダ(Local Row Decoder) 113 およびリダンダンシ(R/D) 用ローカルローデコーダ114 が配置されている。

【 0 0 3 2 】

上記ローカルローデコーダ113 は、グローバルローデコーダ111 の出力信号およびサブローカルローデコーダ125 の出力信号に基づいてサブセルアレイ110 の正規メモリ空間110aのワード線を個別に選択制御し、消去、書き込み、読み出しに必要な電圧を出力する。

【 0 0 3 3 】

また、前記R/D 用ローカルローデコーダ114 は、R/D 用グローバルローデコーダ112 の出力信号およびサブローカルローデコーダ125 の出力信号に基づいてサブセルアレイ110 のローリダンダンシ110bのワード線を個別に選択制御し、消去、書き込み、読み出しに必要な電圧を出力する。

【 0 0 3 4 】

この場合、選択したセルブロックの消去動作時に、ローカルローデコーダ113 およびR/D 用ローカルローデコーダ114 が正常なメモリセルに対応する正規のワード線もしくは置換使用された冗長なワード線に印加する電圧と、不良メモリセルに対応する正規のワード線もしくは置換使用されなかった冗長なワード線に印加する電圧とは異なる。

【 0 0 3 5 】

各サブセルアレイ110 に対応して設けられているカラム制御回路115 は、サブセルアレイのビット線を選択する列選択回路（図示せず）、この列選択回路を電氣的に活性化する列デコーダ回路（図示せず）、センスアンプ（図示せず）、ビット線電位制御回路（図示せず）などを含む。このカラム制御回路115 は、選択セルに対する書き込み時には記憶している書き込みデータにしたがってビット線の電圧を制御して書き込み制御を行い、選択セルに対する読み出し時にはビット線の電圧をセンスしてそのデータを記憶する役割を有する。

【 0 0 3 6 】

また、各サブセルアレイ110 に対応して、アレイの基盤を選択し、動作条件に応じて所定の電圧状態に設定するP.ウェル制御回路116 、 ソース線電位を制御するソース線制御回路117 が設けられている。

【 0 0 3 7 】

さらに、外部アドレス信号が入力するアドレスバッファ(Address Buffer)回路118 と、不良のメモリセルが存在する場合にそれに対応するロー不良アドレスのデータをフューズ素子を用いて記憶するフューズデータ(Fuse Data) ラッチ回路119 が設けられている。さらに、アドレスバッファ回路118 のデータとフューズデータラッチ回路119 のデータ (フューズアドレスFSRA_i) を比較し、一致不一致を示す比較信号 (RDヒット信号、SPE) を出力するフューズ／アドレス比較回路(Fuse/Address Comparator)120と、アドレスマルチプレクサ(Address Multiplex)121が設けられている。

【 0 0 3 8 】

アドレスマルチプレクサ121 は、消去動作時にフューズ／アドレス比較回路120 の比較結果が一致の場合には、フューズデータラッチ回路119 のデータを内部アドレス信号として転送し、不一致の場合にはアドレスバッファ回路118 のデータを内部アドレス信号として転送するように切り替える。この場合、上位のローアドレスRA3-9 を制御信号とともに前記グローバルローデコーダ111 およびリダンダンシ(R/D) 用グローバルローデコーダ112 に転送し、下位のローアドレスRA0-2 をサブローカルローデコーダ125 に転送する。

【 0 0 3 9 】

データ入出力バッファ122 は、外部入出力(I/O)線D0-D7 に接続され、書き込みデータの受け取り、読み出しデータの出力、コマンドデータなどを受け取るものである。具体的には、外部から受け取った書き込みデータをカラム制御回路115 に送り、カラム制御回路115 から読み出したデータを受け取って外部に出力する。また、外部から受け取ったコマンドデータをコマンド・ユーザー・インターフェイス(Command User I/F)123 に送る。

【 0 0 4 0 】

コマンド・ユーザー・インターフェイス123 は、外部からの制御信号を受け取り、データ入出力バッファ122 に入力されたデータが書き込みデータかコマンドデータかを判断し、コマンドデータであれば受け取りコマンド信号としてステートマシン124 に転送するものである。

【 0 0 4 1 】

ステートマシン124 は、フラッシュメモリ全体の管理を行うものであり、外部からのコマンドを受け取り、読み出し、書き込み、消去、データの入出力管理を行うものである。

【 0 0 4 2 】

図3は、図1中の複数のサブセルアレイ110 のうちの1個を代表的に取り出し、構成の一部の一例を示す回路図である。

【 0 0 4 3 】

このサブセルアレイ110 は、メモリセルアレイ内で消去の最小単位毎に物理的に分割されたP型ウェル領域13上に形成されており、例えば図2に示したように正規メモリ空間110aには $1024 \times 512 = 512\text{Kbit} (= 64\text{KByte})$ に対応して512K個のメモリセル（セルトランジスタ）Mが行列状に配置されている。

【 0 0 4 4 】

同一行のセルトランジスタMのドレインは、対応して異なるビット線 BL_j ($j=0 \sim 511$) に接続されており、同一列のセルトランジスタMのドレインは、同一のビット線 BL_j に接続されている。この場合、列方向で隣り合う二行のセルトランジスタMの各ソースは、同一のソース線SLに共通に接続されている。

【 0 0 4 5 】

各行のワード線 WLi ($i=0 \sim 1023$) は、対応する同一行のメモリセルMの各ゲートに共通に接続されており、1本のワード線に繋がる512 個のメモリセルMに対して同時にデータの書き込みと読み出しが行われる。

【 0 0 4 6 】

ビット線 BL_j の各一端にはそれぞれNMOSFET からなるカラム選択スイッチCSの各一端が接続されており、一定数のカラム選択スイッチCSの各他端には共通に負荷回路RLが接続されている。上記カラム選択スイッチCSは、ゲートにカラム制御

回路のカラムデコーダからカラムデコード信号CDj が与えられて選択される。

【0047】

図3に示したサブセルアレイ110 および各メモリセルMの構造は、図18を参照して前述した従来例の構造と同じである。即ち、図18において、P型の半導体基板11には、 P^+ 型の基板コンタクト領域11a と、二重ウェル構造のN型ウェル領域(NWELL)12およびP型ウェル領域(PWELL)13が形成されており、N型ウェル領域12には N^+ 型のウェルコンタクト領域12a が形成されている。P型ウェル領域13には、 P^+ 型のウェルコンタクト領域13a と、一括データ消去の対象となる多数のセルトランジスタが形成される。

【0048】

図18では、1つのセルトランジスタについて、その基盤であるP型ウェル領域13に形成された N^+ 型不純物拡散層14からなるソース領域およびドレイン領域と、ソース領域・ドレイン領域間のチャネル領域上に積層形成されたゲート絶縁膜(トンネル酸化膜)15、フローティングゲート(floating gate)16、例えばONO膜からなるゲート間絶縁膜17、コントロールゲート(control gate)18を示している。

【0049】

上記構成のサブセルアレイにおいて、従来と同様の電圧を印加した場合には、前述したように不良セルにある程度の電圧ストレスが印加されることになり、W/Eを繰り返すうちに、いつかはワード線・基盤間が短絡するおそれがある。

【0050】

そこで、本例では、消去時の不良セルに対する電圧ストレスを零にするために、ローデコーダ111,112,113,114,125の耐圧を10V以上に上げ、不良ビットのワード線電圧をさらに上げている。但し、ローデコーダの耐圧を過大にすると、ローデコーダのMOSトランジスタの酸化膜厚やゲート長を大きくする必要が発生し、データの読み出し速度に影響を及ぼすので、留意する必要がある。

【0051】

図4および図5は、図2中のグローバルローデコーダ111の一部(128個のうちの1個分)の回路およびその動作の真理値表を示している。

【 0 0 5 2 】

図 4 において、図 2 中のフューズ／アドレス比較回路 120 から出力する RD ヒット信号 SPE および図 2 中のステートマシン 124 から供給される消去モード信号 ERASE は排他的ノアゲート 41 に入力する。この排他的ノアゲート 41 の出力信号および図 2 中のアドレスマルチプレクサ 121 から供給される上位のローアドレス (RA3-9) はアンドゲート 42 に入力する。このアンドゲート 42 の出力信号 out は電圧変換回路 43 に入力し、“H” レベルが +2.5V、“L” レベルが -7.5V の信号に変換される。この信号は、2 段のインバータ回路 44, 45 により、相補的な信号 Mi/MBi ($i=0 \sim 127$ のうちのいずれか 1 つ) に変換される。

【 0 0 5 3 】

次に、図 4 の回路の動作について図 5 の真理値表を参照しながら説明する。

【 0 0 5 4 】

図 2 中のフューズ／アドレス比較回路 120 でヒットせず、かつ、消去モードではない時 (例えば書き込み時など) は、SPE= “L”、ERASE= “L” になり、アンドゲート 42 の出力信号 out は (RA3-9) をデコードして選択的に “H” になる。

【 0 0 5 5 】

フューズ／アドレス比較回路 120 でヒットし、かつ、消去モードではない時 (例えば書き込み時など) は、SPE= “H”、ERASE= “L” になり、アンドゲート 42 の出力信号 out は “L” になる。

【 0 0 5 6 】

フューズ／アドレス比較回路 120 でヒットせず、かつ、消去モードの時は、SPE= “L”、ERASE= “H” になり、アンドゲート 42 の出力信号 out は “L” になる。

【 0 0 5 7 】

フューズ／アドレス比較回路 120 でヒットし、かつ、消去モードの時は、SPE= “H”、ERASE= “H” になり、アンドゲート 42 の出力信号 out は (RA3-9) をデコードして選択的に “H” になる。

【 0 0 5 8 】

図 6 および図 7 は、図 2 中のリダンダンシ用のグローバルローデコーダ 112 の

回路およびその動作の真理値表を示している。

【 0 0 5 9 】

図 6 において、図 2 中のフューズ／アドレス比較回路 120 から出力する RD ヒット信号 SPE および図 2 中のステートマシン 124 から供給される消去モード信号 ERASE は排他的オアゲート 51 に入力する。この排他的オアゲート 51 の出力信号および Vcc 電位入力（本例では、上位のローアドレス (RA3-9) に相当する数）はアンドゲート 52 に入力する。このアンドゲート 52 の出力信号 out は電圧変換回路 53 に入力し、“H” レベルが +2.5V、“L” レベルが -7.5V の信号に変換される。この信号は、2 段のインバータ回路 54, 55 により、相補的な信号 Mrd / MBrd に変換される。

【 0 0 6 0 】

次に、図 6 の回路の動作について図 7 の真理値表を参照しながら説明する。

【 0 0 6 1 】

図 2 中のフューズ／アドレス比較回路 120 でヒットせず、かつ、消去モードではない時（例えば書き込み時など）は、SPE = “L”、ERASE = “L” になり、アンドゲート 52 の出力信号 out は “L” になる。

【 0 0 6 2 】

フューズ／アドレス比較回路 120 でヒットし、かつ、消去モードではない時（例えば書き込み時など）は、SPE = “H”、ERASE = “L” になり、アンドゲート 52 の出力信号 out は “H” になる。

【 0 0 6 3 】

フューズ／アドレス比較回路 120 でヒットせず、かつ、消去モードの時は、SPE = “L”、ERASE = “H” になり、アンドゲート 52 の出力信号 out は “H” になる。

【 0 0 6 4 】

フューズ／アドレス比較回路 120 でヒットし、かつ、消去モードの時は、SPE = “H”、ERASE = “H” になり、アンドゲート 52 の出力信号 out は “L” になる。

【 0 0 6 5 】

図 8 および図 9 は、図 2 中のサブローカルローデコーダ 125 の一部（複数のサ

ブセルアレイ110 に対応する複数個のうちの1個分)の回路およびその動作の真理値表を示している。

【0066】

図8において、図2中のアドレスマルチプレクサ121 から供給される下位のローアドレス(RA0-2)は第1のナンドゲート61に入力する。この第1のナンドゲート61の出力信号N0および図2中のステートマシン124 から供給される反転消去モード信号/ERASEは第2のナンドゲート62に入力する。この第2のナンドゲート62の出力信号は電圧変換回路63に入力し、“H”レベルが+2.5V、“L”レベルが-7.5Vの信号に変換される。この信号は、2段のインバータ回路64,65により各サブセルアレイ110に対応する信号Fi(i=0~7のうちのいずれか1つ)に変換される。

【0067】

次に、図8の回路の動作について図9の真理値表を参照しながら説明する。

【0068】

第1のナンドゲート61で(RA0-2)をデコードし、その出力信号N0は“L”または“H”になる。消去モードではない時(例えば書き込み時など)は、ERASE=“L”,/ERASE=“H”になり、第2のナンドゲート62の出力信号は“H”または“L”になる。これにより、サブローカルローデコーダ125の出力信号Fiは“H”または“L”になる。

【0069】

消去モードの時は、ERASE=“H”,/ERASE=“L”になり、第2のナンドゲート62の出力信号は“H”になり、サブローカルローデコーダ125の出力信号Fiは“H”になる。なお、図9中の真理値表において、第1のナンドゲート61の出力信号N0の記号*は、don't care(無関係)を示している。

【0070】

図10は、図2中のアドレスバッファ回路118とアドレスマルチプレクサ121の一部を示している。図10において、図2中のフューズデータラッチ回路119から供給されるフューズアドレスFSRAiは第1のクロックドインバータ回路71に入力し、外部から入力するアドレス信号Aiは第2のクロックドインバータ回路72

に入力する。上記 2 つのクロックドインバータ回路 71, 72 の各出力ノードはワイヤードオア接続されている。この場合、第 1 のクロックドインバータ回路 71 は、消去モード信号 ERASE と図 2 中のフューズ／アドレス比較回路 120 の出力信号 SPE との論理積をとった信号 $ERASE * SPE$ により活性化制御され、第 2 のクロックドインバータ回路 72 は上記 $ERASE * SPE$ の反転信号 $/ERASE * SPE$ により活性化制御される。

【 0 0 7 1 】

つまり、第 1 のクロックドインバータ回路 71 と第 2 のクロックドインバータ回路 72 は、相補的に活性化制御されることによって、消去動作時にフューズ／アドレス比較回路 120 の比較結果が一致の場合には $FSRA_i$ の反転信号を選択し、不一致の場合には A_i の反転信号を選択するように切り替える第 1 のアドレスバッファ／マルチプレクサ MP1 を形成している。そして、この MP1 の出力信号は、2 段のインバータ回路 73, 74 を経て内部アドレス反転信号 $/RA_i$ として転送される。

【 0 0 7 2 】

また、上記第 1 のアドレスマルチプレクサ MP1 の出力信号は第 3 のクロックドインバータ回路 75 に入力し、図 2 中のフューズデータラッチ回路 119 から供給されるフューズアドレス $FSRA_i$ の反転信号 $/RA_i$ は第 4 のクロックドインバータ回路 76 に入力する。上記 2 つのクロックドインバータ回路 75, 76 の各出力ノードはワイヤードオア接続されている。この場合、第 3 のクロックドインバータ回路 75 は前記反転信号 $/ERASE * SPE$ により活性化制御され、第 4 のクロックドインバータ回路 76 は前記信号 $ERASE * SPE$ により活性化制御される。

【 0 0 7 3 】

つまり、第 3 のクロックドインバータ回路 75 と第 4 のクロックドインバータ回路 76 は、相補的に活性化制御されることによって、消去動作時にフューズ／アドレス比較回路 120 の比較結果が一致の場合には $FSRA_i$ を選択し、不一致の場合には A_i を選択するように切り替える第 2 のアドレスバッファ／マルチプレクサ MP2 を形成している。そして、この MP2 の出力信号は、2 段のインバータ回路 77, 78 を経て内部アドレス信号 RA_i として転送される。

【 0 0 7 4 】

本例のNOR 型フラッシュメモリでは、上位のローアドレス(RA3-9)により8本単位でワード線を選択し、下位のローアドレス(RA0-2)により上記8本単位のワード線のうちのどれか1本を選択するように構成されている。したがって、上位のローアドレスで不良アドレスを記憶しておけば、8本単位で不良ビットを救済するローリダンダンシを実現可能である。

【 0 0 7 5 】

図 1 1 は、図 2 に示したNOR 型フラッシュメモリのサブセルアレイ110 のうちの1個に不良ビットがあり、ローリダンダンシ110bによる置換が行われている場合について、ローカルローデコーダ113 の一部の出力回路とメモリセルMの一部との接続関係を示す回路図であり、図 1 2 は図 1 1 の回路におけるデータ消去時の各部の電圧（動作条件）を示している。

【 0 0 7 6 】

図 1 1 および図 1 2 中、Mi/MBi,Mj/MBj …は図 2 中のグローバルローデコーダ111 から出力する相補的な信号、Mrd/MBrdは図 2 中のリダンダンシ用のグローバルローデコーダ112 から出力する相補的な信号である。Fi,Fjは図 2 中のサブローカルローデコーダ125 から8本単位で出力する信号Fiをローカルローデコーダ114 で選択した信号である。Fi/Fjは図 2 中のサブローカルローデコーダ125 から8本単位で出力する信号Fiをリダンダンシ用のローカルローデコーダ114 で選択した信号である。VB_{BB}はデータの一括消去時に印加される-7.5V の消去電圧である。

【 0 0 7 7 】

TG1 は各ワード線WL_i,WL_j …に対応して直列に接続されている複数のCMOSトランスファゲートであり、それぞれ対応してMi/MBi,Mj/MBj …、Mrd/MBrdによりスイッチング制御され、読み出し／書き込み時にFi,Fj …をメモリセルMのゲートに伝達する。

【 0 0 7 8 】

TG2 は、各ワード線WL_i,WL_j …に対応して一端が接続され、他端がVB_{BB}ノードに接続されている複数のNMOSトランスファゲートであり、それぞれ対応してMB_i, MB_j …、MBrdによりスイッチング制御され、データの一括消去時にVB_{BB}をメモリ

セルMのゲートに伝達する。

【0079】

次に、図11の回路のデータ消去時の動作について説明する。

【0080】

選択されたメモリセルMのドレイン電位 V_d （選択されたメモリセルに接続されているビット線）を電位的にフローティング状態（FL）にし、ソース電位 V_s および基盤電位 V_{pw}, V_{nw} を+10Vにする。

【0081】

この時、図12（a）に示すように、不良ビットを含む8本単位のワード線 WL_i に対応する上位アドレスのローデコーダ111の出力信号 M_i の電圧レベルは2.5V、その反転信号 MB_i の電圧レベルは-7.5Vに設定される。これに対して、図12（b）に示すように、正常な8本単位のワード線 WL_j に対応する上位アドレスのローデコーダ111の出力信号 M_j の電圧レベルは-7.5V、その反転信号 MB_j の電圧レベルは2.5Vに設定される。また、図12（c）に示すように、ローリダンダンシ110bによる置換が行われている正常な8本単位のワード線 WL_{rd} に対応する上位アドレスのローデコーダ112の出力信号 M_{rd} の電圧レベルは-7.5V、その反転信号 MB_{rd} の電圧レベルは2.5Vに設定される。

【0082】

一方、下位アドレスのローデコーダ113,114の出力信号 $F_i, F_j, F_i/F_j$ の電圧は2.5Vに設定される。その結果、不良ビットに接続されている不良ワード線 WL_i には2.5Vが印加されるので、不良ビットは消去されず、ワード線・基盤間のバイアスが緩和され、W/Eによるダメージが少なくなる。これに対して、正常ビットに接続されている正常ワード線 WL_j, WL_{rd} には-7.5Vが印加されるので、正常ビットは通常の消去が行われる。

【0083】

データの一括消去時は、上位アドレスのローデコーダ111,112の出力信号 M_j, M_{rd} の反転信号 MB_j, MB_{rd} の電圧レベルは2.5Vに設定され、この反転信号 MB_j, MB_{rd} によりオン状態になるNMOSトランスファゲートTG2を介して正常ワード線 WL_j, WL_{rd} には消去バイアス V_{BBB} の電圧レベル-7.5Vが印加されるので、正常ビットは通常

の消去が行われる。

【 0 0 8 4 】

これに対して、上位アドレスのローデコーダ111 の出力信号Miの反転信号MBiの電圧レベルは-7.5V に設定されるので、この反転信号MBi がゲートに印加されるNMOSトランスファゲートTG2 はオフ状態になるので、不良ワード線WLi には消去バイアスVBBBが印加されない。

【 0 0 8 5 】

図 1 3 は、図 2 に示したNOR 型フラッシュメモリのサブセルアレイ110 内に不良ビットが全く存在せず、ローリダンダンシ110bによる置換が行われていない場合について、ローカルローデコーダ113,114 の一部の出力回路とメモリセルMの一部との接続関係を示す回路であり、図 1 4 は図 1 3 の回路におけるデータ消去時の各部の電圧（動作条件）を示している。ここで、図 1 3 において、図 1 1 中と同一部分には同一符号を付している。

【 0 0 8 6 】

次に、図 1 3 の回路のデータ消去時の動作について説明する。

【 0 0 8 7 】

選択されたメモリセルMのドレイン電位Vd（選択されたメモリセルMに接続されているビット線）を電位的にフローティング状態（FL）にし、ソース電位Vsおよび基盤電位Vpw,Vnw を+10Vにする。この時、図 1 4 （a）、（b）に示すように、正常な 8 本単位のワード線WLi,WLJに対応する上位アドレスのローデコーダ111 の出力信号Mi,Mj の電圧レベルは-7.5V 、その反転信号MiB,MBj の電圧レベルは2.5Vに設定される。これに対して、図 1 4 （c）に示すように、使用されていないローリダンダンシ110bの 8 本単位のワード線WLrdに対応する上位アドレスのローデコーダ112 の出力信号Mrd の電圧レベルは2.5V、その反転信号MBrdの電圧レベルは-7.5V に設定される。

【 0 0 8 8 】

一方、下位アドレスのローデコーダ113,114 の出力信号Fi,Fj,Fi/Fj の電圧は2.5Vに設定される。その結果、正常ビットに接続されている正常ワード線WLi,WLJ には-7.5V が印加されるので、正常ビットは通常の消去が行われる。これに対

して、使用されていないローリダンダンシ110bのワード線WLrdには2.5Vが印加されるので、ローリダンダンシ110bのメモリセルは消去されず、ワード線・基盤間のバイアスが緩和され、W/E によるダメージが少なくなる。

【 0 0 8 9 】

上記したようにローリダンダンシ110bを使わない場合、データ消去時にローリダンダンシ110bのワード線WLrdに正の電圧(+2.5V) をバイアスしている理由は、ローリダンダンシ110bのメモリセルの過消去を防止するためである。もし、ローリダンダンシ110bのメモリセルが過消去されてその閾値が0Vよりも低くなっていると、読み出し時に非選択のローリダンダンシ110bのワード線WLrdを0Vにバイアスしても、そのメモリセルの電流をカットすることができず、読み出し誤動作を招くおそれがある。

【 0 0 9 0 】

データの一括消去時は、上位アドレスのローデコーダ111 の出力信号Mi,Mj の反転信号MBi,MBの電圧レベルは2.5Vに設定され、この反転信号MBi,MBによりオン状態になるNMOSトランスファゲートTG2 を介して正常ワード線WLi,WLJ には消去バイアスVBBBの電圧レベル-7.5V が印加されるので、正常ビットは通常の消去が行われる。

【 0 0 9 1 】

これに対して、上位アドレスのローデコーダ112 の出力信号Mrd の反転信号MBrdの電圧レベルは-7.5V に設定され、この反転信号MBrdがゲートに印加されるNMOSトランスファゲートTG2 はオフ状態になるので、使用されていないローリダンダンシ110bのワード線WLrdには消去バイアスVBBBが印加されない。

【 0 0 9 2 】

図 1 1 ないし図 1 4 を参照して上述したように、正常ビットのメモリセルの消去時に、ワード線の電圧レベルが-7.5V 、基盤のバイアスが+10Vであり、メモリセルにかかる電圧ストレスは18V である。これに対して、不良ビットに接続されている不良ワード線には、ローデコーダの耐圧(+10V)で決まる最大の電圧（本例では2.5V）を印加すると、不良セルには、ワード線の電圧レベルが+2.5V 、基盤のバイアスが+10Vであり、メモリセルの電圧ストレスを+7.5V に緩和することが

できるので、W/E によるワード線・基盤間の短絡を引き起こすことがなくなる。

【0093】

即ち、上記第1の実施形態に係るNOR型フラッシュメモリによれば、メモリセルのW/Eを繰り返すことによってワード線・基盤間が短絡するビット不良を従来では見過ごされていたローリダダンシで救済し、不良ビットを含むワード線に正の電圧を印加することによって、W/Eに絡んだ市場不良を防止可能なチャネル消去型フラッシュメモリを実現することができる。特に、コントローラ用のマイクロプロセッサと同じチップ上に混載されたフラッシュメモリでは、1つのメモリセル当りの書き替え可能回数は現状では100回程度あれば良いので、この程度の書き替え可能回数に対して上記NOR型フラッシュメモリは十分に応えることができる。

【0094】

ところで、ワード線・基盤間に電位差があるので、メモリセルに対するW/Eを繰り返していくうちに、ある程度の閾値変動は起こり得る。メモリセルの特性には、製造バラツキからくる統計的な要素に起因するなどの理由で正規分布から外れるような特異な場合が存在し得る。このようなメモリセルは、裾ビットと呼ばれる。リダダンシのワード線群または不良ワード線を含むワード線群に接続されているメモリセル中に裾ビットが存在する場合、W/E回数を増やしていくと徐々に閾値が低い側へシフトし、最悪の場合にはワード線の電圧が0Vでもメモリセルがオン状態になるという不良ビットが発生してしまう。

【0095】

そこで、このような不良ビットを排除するために、前記実施形態で述べたような対策に加えて、図2中に点線で示すように既知の自己収束制御回路130を組み込むようにしてもよい。

【0096】

この自己収束制御回路130は、選択されたセルブロックのメモリセルに対するデータ消去動作の後、消去ブロック内の全ワード線を0Vにバイアスし、さらに、全ビット線を選択的に5V程度の電圧に設定する機能を有する。この機能により、通常よりも閾値が低いメモリセルのみの浮遊ゲートにドレイン側のアバランシェ

ホットキャリア(DAHC)によって電子が注入され、このメモリセルの閾値がある正の値に自己整合的に回復(自己収束)し、選択されたセルブロック内の全てのメモリセルの閾値が一定範囲内に一括制御されることになる。

【0097】

なお、本発明の不揮発性半導体記憶装置は、図2に示したような二重ローデコーダ形式以外のローデコーダ形式を有するNOR型フラッシュメモリにも適用可能であり、NOR型フラッシュメモリに限らず、NAND型フラッシュメモリ等にも適用することが可能である。

【0098】

<第2の実施形態>

図15は、前述したNOR型フラッシュメモリを用いた電子カードと、この電子カードを用いた電子装置の構成の一例を示す。

【0099】

ここでは、電子装置の一例として、携帯電子機器、例えばデジタルスチルカメラ50を示す。このデジタルスチルカメラ50の記録メディアとして用いられている電子カード(例えばメモ리카ード)51は、第1の実施形態で前述したようなNANDフラッシュメモリが集積化されて封止されたICパッケージPK1を内部に有している。

デジタルスチルカメラ50のケースには、カードスロット52とそれに接続された回路基板(図示せず)が収納されており、メモ리카ード51は、カードスロット52に取り外しが可能な状態で装着された状態で前記回路基板上の電子回路に電氣的に接続される。なお、メモ리카ード51が例えば非接触型のICカードである場合には、カードスロット52に収納し、あるいは近づけることで、回路基板上の電子回路に無線信号により電氣的に接続される。

【0100】

なお、図15中、53はレンズ、108は表示部(例えば液晶モニタ)、112は操作ボタン(例えばシャッターボタン)、118はストロボである。

【0101】

図16は、図15に示したデジタルスチルカメラの基本的な構成を示す。

【 0 1 0 2 】

被写体からの光はレンズ(LENSE)53 によって集光されて撮像装置(IMAGE PICKUP DEVICE)54 に入力される。撮像装置(例えばCMOSイメージセンサ)54は、入力された光を光電変換し、例えばアナログ信号を出力する。このアナログ信号は、アナログ増幅器(AMP.)で増幅された後、アナログ/デジタルコンバータ(A/D)によりデジタル変換される。変換された信号は、カメラ信号処理回路(CAMERA SIGNAL PROCESSING CIRCUIT)55に入力され、例えば自動露出制御(AE)、自動ホワイトバランス制御(AWB)および色分離処理を行った後、輝度信号と色差信号に変換される。

【 0 1 0 3 】

画像をモニタする場合、カメラ信号処理回路55から出力された信号がビデオ信号処理回路(VIDEO SIGNAL PROCESSING CIRCUIT)106に入力され、ビデオ信号に変換される。ビデオ信号の方式としては、例えば、NTSC(National Television System Committee)を挙げることができる。上記した撮像装置54、AMP.、A/D、カメラ信号処理回路55は、マイクロコンピュータ(MICRO COMPUTER)111 によって制御される。

【 0 1 0 4 】

ビデオ信号は、表示信号処理回路(DISPLAY SIGNAL PROCESSING CIRCUIT)107を介して、デジタルスチルカメラ50に取り付けられた表示部(DISPLAY)108 に出力される。また、ビデオ信号は、ビデオドライバ(VIDEO DRIVER)109 を介してビデオ出力端子110 に与えられる。

【 0 1 0 5 】

このようにデジタルスチルカメラ50により撮像された画像は、ビデオ出力端子110 を介してビデオ出力VIDEO OUTPUTとして例えばテレビジョン等の画像機器に出力することができる。これにより、撮像した画像を表示部108 以外でも表示することができる。

【 0 1 0 6 】

画像をキャプチャする場合、操作ボタン(OPERATION BUTTON)112 を操作者が押す。これにより、マイクロコンピュータ111 はメモリコントローラ(MEMORY CONT

ROLLER)113を制御し、カメラ信号処理回路55から出力された信号がフレーム画像としてビデオメモリ (VIDEO MEMORY)114 に書き込まれる。このように書き込まれたフレーム画像は、圧縮／伸張処理回路 (COMPRESSING/STRETCHING CIRCUIT)115 により、所定の圧縮フォーマットに基づいて圧縮され、カードインターフェース (CARD INTERFACE)116 を介してカードスロット (CARD CLOT)52 に装着されているメモリカード (MEMORY CARD)51 に記録される。

【 0 1 0 7 】

記録した画像を再生する場合、メモリカード51に記録されている画像をカードインターフェース116 を介して読み出し、圧縮／伸張処理回路115 により伸張した後、ビデオメモリ114 に書き込む。書き込まれた画像は、ビデオ信号処理回路106 に入力され、画像をモニタする場合と同様に表示部108 や画像機器に映し出される。

【 0 1 0 8 】

なお、上記構成では、回路基板 (CIRCUIT BOARD)100上に、カードスロット52、撮像装置54、AMP.、A/D、カメラ信号処理回路55、ビデオ信号処理回路106、表示装置107、ビデオドライバ109、マイクロコンピュータ111、メモリコントローラ113、ビデオメモリ114、圧縮／伸張処理回路115 およびカードインターフェース116 が実装される。ここで、カードスロット52については、回路基板100上に実装される必要はなく、コネクタケーブル等により回路基板100 に接続されてもよい。

【 0 1 0 9 】

また、回路基板100 上には、さらに電源回路 (POWER CIRCUIT)117が実装される。電源回路117(例えばDC/DC コンバータ)は、外部電源あるいは電池から電源の供給を受け、デジタルスチルカメラ50の内部で使用する内部電源電圧を発生する。内部電源電圧は、上述した各回路に供給される他、ストロボランプ (STROBOSCOPIC LAMP)118、表示部108 にも供給される。

【 0 1 1 0 】

本実施形態による電子カードは、上述したデジタルスチルカメラ等の携帯電子機器だけでなく、例えば図17 (A) ～ (J) に簡略的に示された各種機器にも

適用可能である。即ち、図 1 7 (A) はビデオカメラ、図 1 7 (B) はテレビジョン、図 1 7 (C) はオーディオ機器、図 1 7 (D) はゲーム機器、図 1 7 (E) は電子楽器、図 1 7 (F) は携帯電話、図 1 7 (G) はパーソナルコンピュータ、図 1 7 (H) はパーソナルデジタルアシスタント (PDA)、図 1 7 (I) はボイスレコーダ、図 1 7 (J) は例えば PCMCIA 規格の形態を有する PC カード (例えば PC カードメモリ) を示している。

【0 1 1 1】

【発明の効果】

上述したように本発明によれば、メモリセルの W/E を繰り返してもワード線・基盤間が短絡してしまうようなビット不良に絡んだ市場不良を防止可能なチャネル消去型フラッシュメモリを実現し得る不揮発性半導体記憶装置およびそれを用いた電子カードと電子装置を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る NOR 型フラッシュメモリおよびそれを用いた制御システムの構成例を示すブロック図。

【図 2】 図 1 中の NOR 型フラッシュメモリの構成例を示すブロック図。

【図 3】 図 1 中の複数のサブセルアレイのうちの一個を代表的に取り出し、構成の一例を示す回路図。

【図 4】 図 2 中のグローバルローデコーダの一部を示す回路図。

【図 5】 図 4 の回路の動作を示す真理値表を示す図。

【図 6】 図 2 中のリダンダンシ用のグローバルローデコーダを示す回路図。

【図 7】 図 6 の回路の動作を示す真理値表を示す図。

【図 8】 図 2 中のサブローカルローデコーダの一部を示す回路図。

【図 9】 図 8 の回路の動作を示す真理値表を示す図。

【図 1 0】 図 2 中のアドレスマルチプレクサ回路を示す回路図。

【図 1 1】 図 2 に示した NOR 型フラッシュメモリのサブセルアレイ内に不良ビットがあり、ローリダンダンシによる置換が行われている場合について、ローカルローデコーダの一部の出力回路とメモリセルの一部との接続関係を示す回

路図。

【図 1 2】 図 1 1 の回路におけるデータ消去時の動作条件を示す図。

【図 1 3】 図 2 に示した NOR 型フラッシュメモリのサブセルアレイ内に不良ビットが全く存在せず、ローリダンダンシによる置換が行われていない場合について、ローカルローデコーダの一部の出力回路とメモリセルの一部との接続関係を示す回路図。

【図 1 4】 図 1 3 の回路におけるデータ消去時の動作条件を示す図。

【図 1 5】 本発明の第 1 の実施形態に係る NOR 型フラッシュメモリを用いた電子カードと、この電子カードを用いた電子装置の一例としてデジタルスチルカメラを示す一部透視斜視図。

【図 1 6】 図 1 5 に示したデジタルスチルカメラの基本的な構成例を示すブロック図。

【図 1 7】 図 1 5 中に示した電子カードを用いた各種の電子装置の構成例を簡略的に示す正面図。

【図 1 8】 チャンネル消去型のフラッシュメモリのメモリセルアレイ内のウェルおよびメモリセルの構造の一例を示している。

【図 1 9】 図 1 8 に示したメモリセルに対するデータの消去、書き込み、読み出しの動作時の各部の電圧条件を示す図。

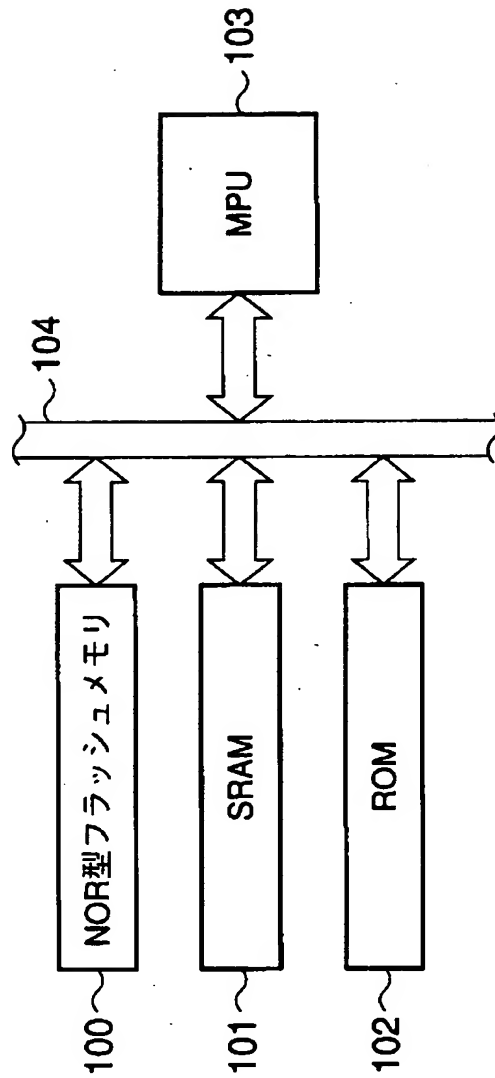
【符号の説明】

110 …サブセルアレイ、110a…正規メモリ空間、110b…ローリダンダンシ（冗長メモリ空間）、111 …グローバルローデコーダ、112 …リダンダンシ(R/D) 用グローバルローデコーダ、113 …ローカルローデコーダ、114 …リダンダンシ用ローカルローデコーダ、115 …カラム制御回路、116 …Pウェル制御回路、117 …ソース線電位制御回路、118 …アドレスバッファ回路、119 …フューズデータラッチ回路、120 …フューズ／アドレス比較回路、121 …アドレスマルチプレクサ、122 …データ入出力バッファ、123 …コマンド・ユーザー・インターフェイス、124 …ステートマシン、125 …サブローカルローデコーダ、126 …自己収束制御回路。

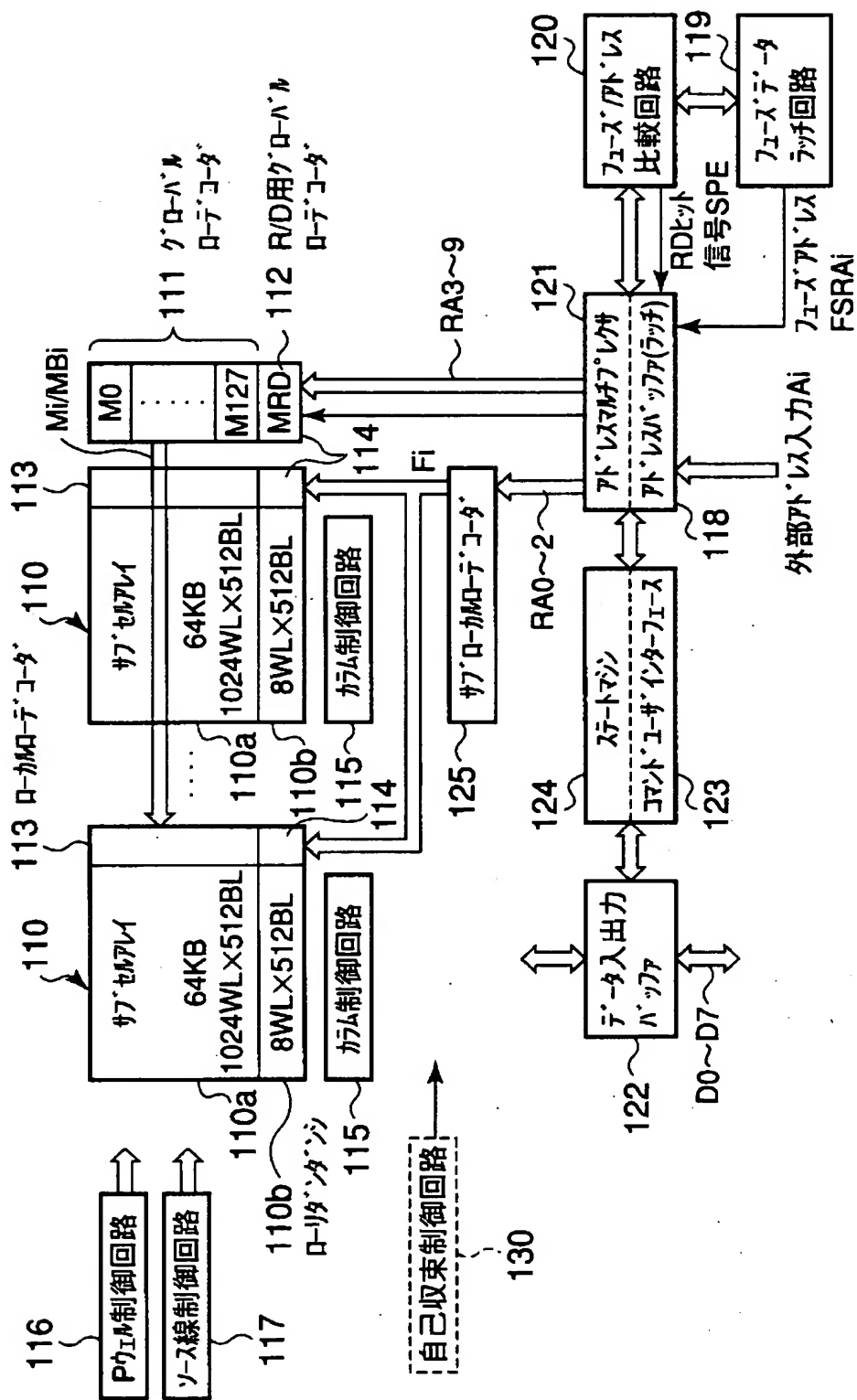
【書類名】

図面

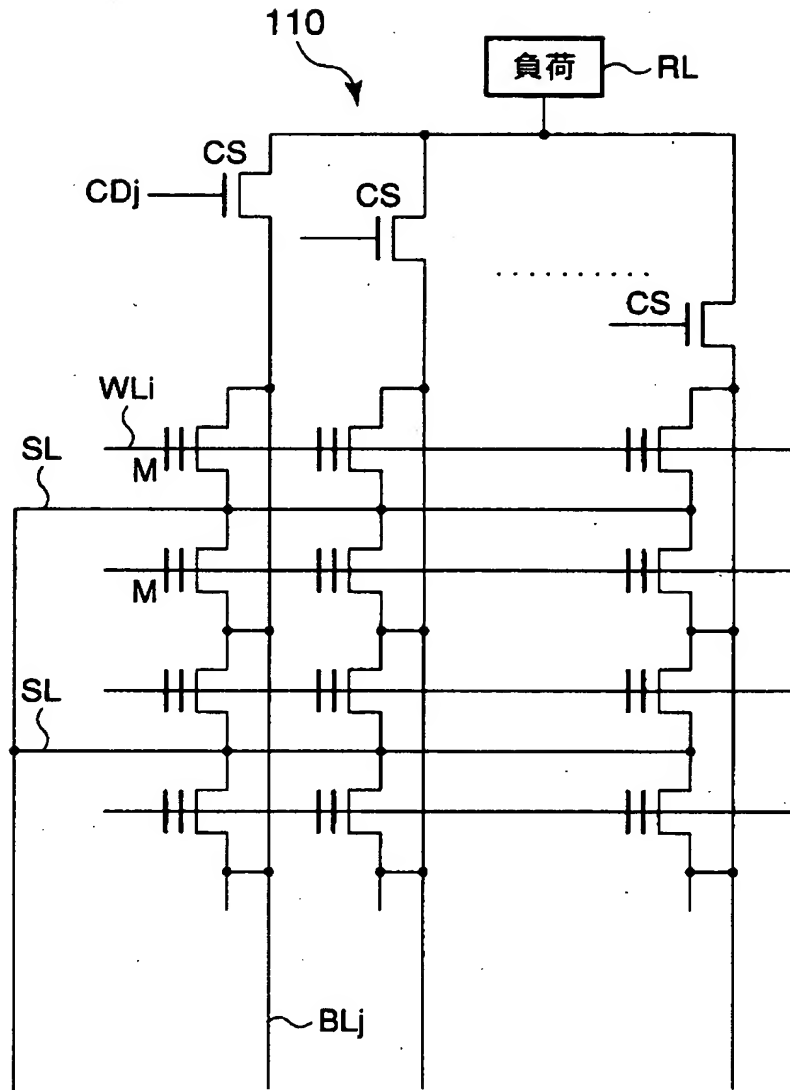
【図 1】



【図 2】

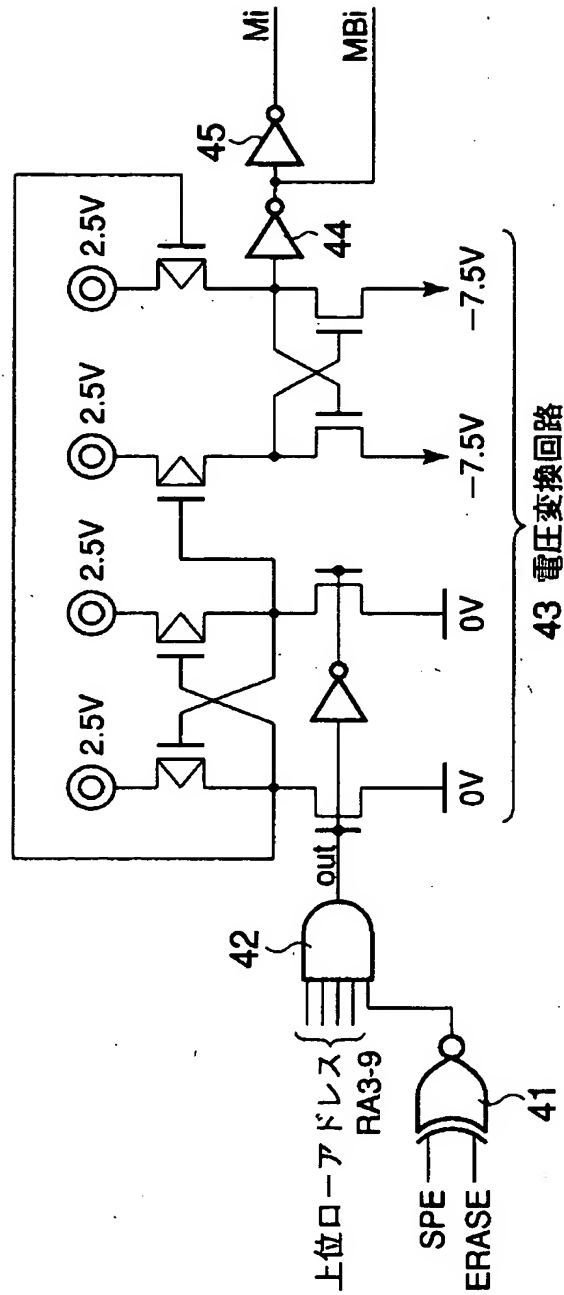


【図 3】



【図 4】

Global Row Decoder

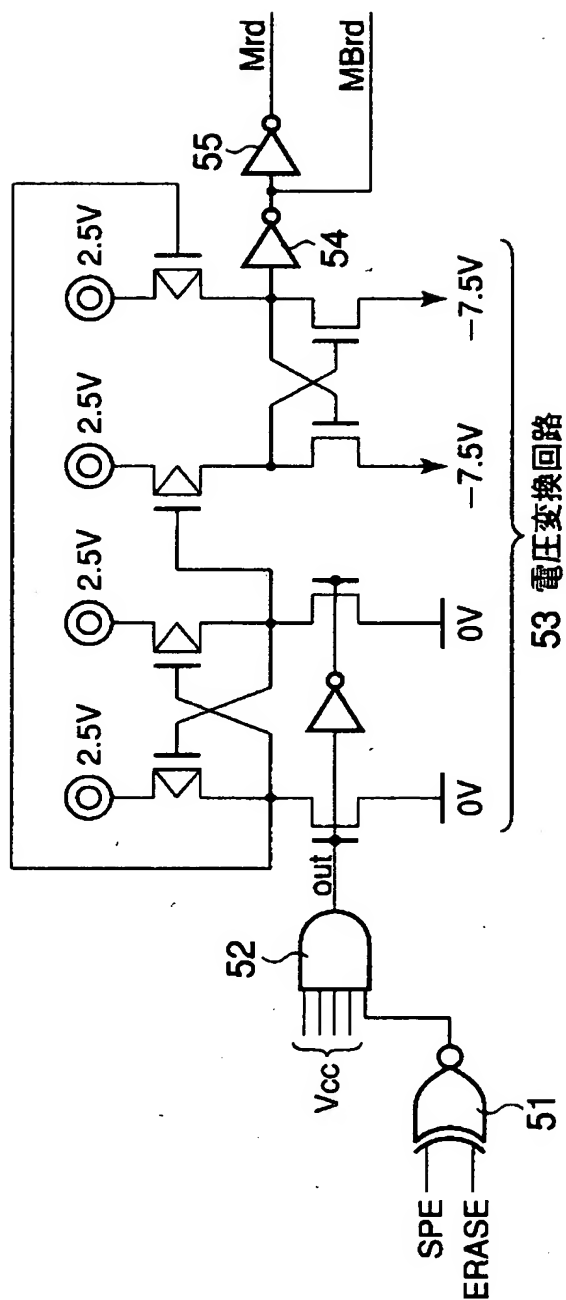


【図 5】

SPE	ERASE	out	
L	L	RA3-9でデコードされた信号が選択的にHになる	R/Dにビットせず消去モードではないとき(書き込みなど)
H	L	L	R/Dにビットし、消去モードではないとき(書き込みなど)
L	H	L	R/Dにビットせず消去モードのとき
H	H	RA3-9でデコードされた信号が選択的にHになる	R/Dにビットし消去モードのとき

【図 6】

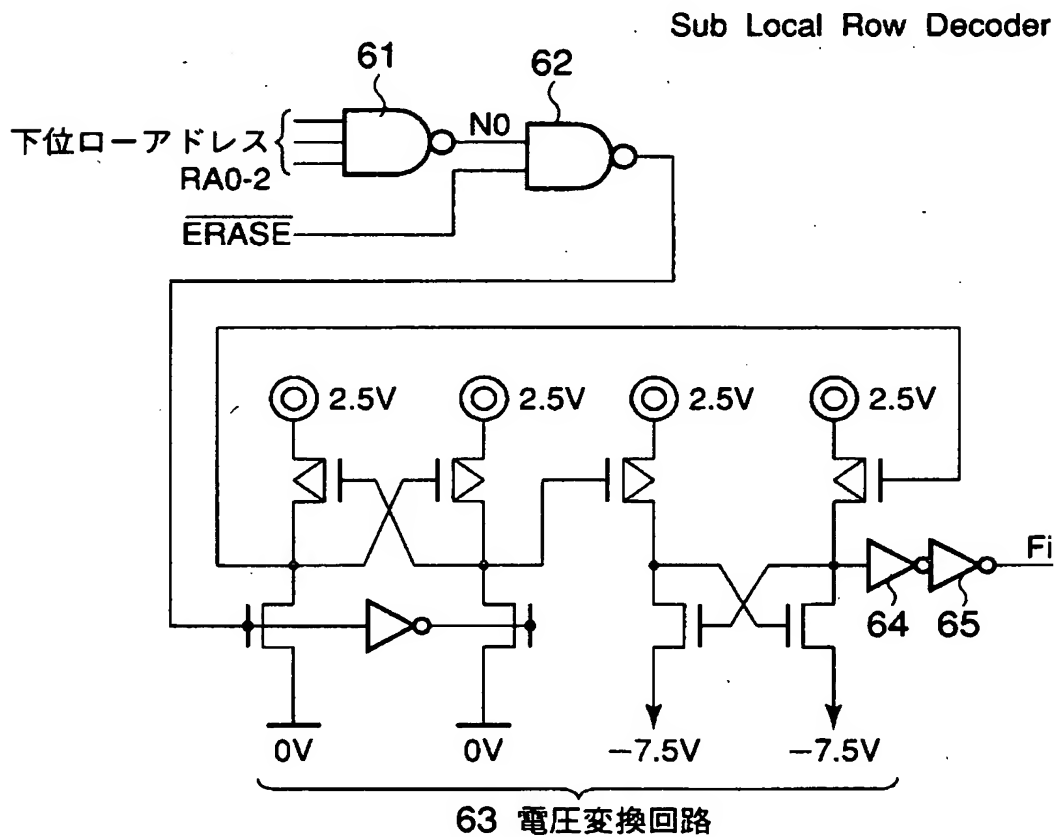
Global Row Decoder(for R/D)



【図 7】

SPE	ERASE	out	
L	L	L	R/Dにヒットせず消去モードではないとき(書き込みなど)
H	L	H	R/Dにヒットし、消去モードではないとき(書き込みなど)
L	H	H	R/Dにヒットせず消去モードのとき
H	H	L	R/Dにヒットし消去モードのとき

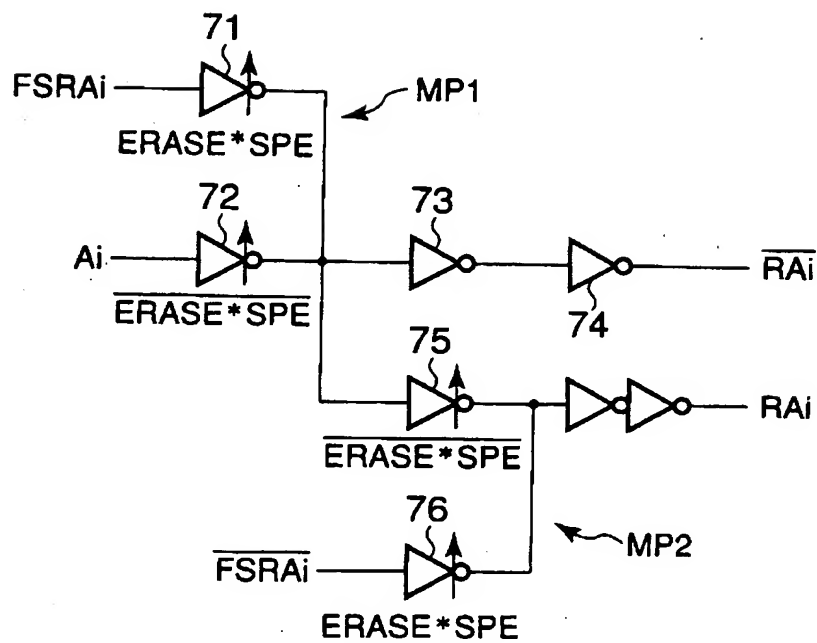
【図 8】



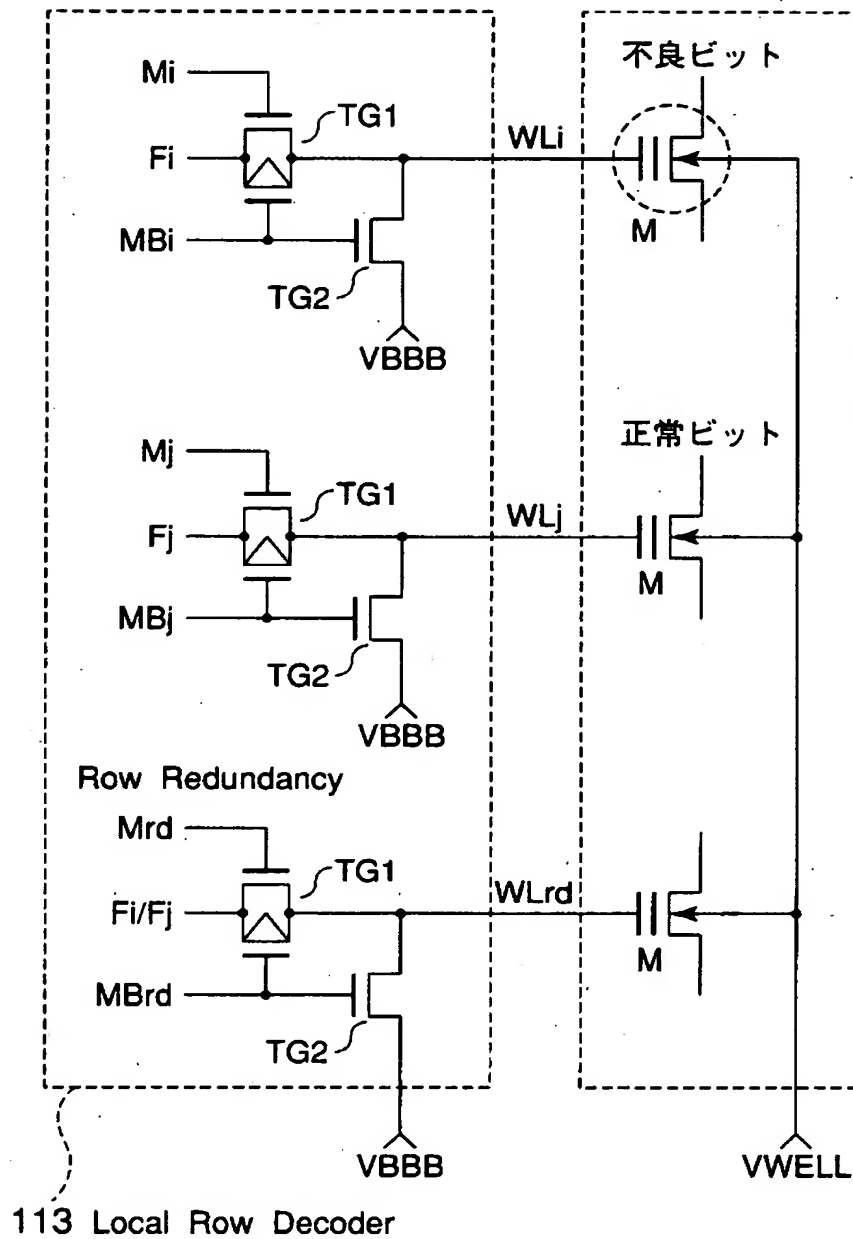
【図9】

ERASE	NO	Fi
L	L	H
L	H	L
H	*	H

【図10】



【図 11】



【図 12】

(a)

Mi	MBi	Fi	VBBB	WLi	VWELL
2.5V	-7.5V	2.5V	-7.5V	2.5V	10V

消去されずワード線とウェル間の
のバイアスが緩和されW/Eによる
ダメージが少なくなる

(b)

Mj	MBj	Fj	VBBB	WLj	VWELL
-7.5V	2.5V	2.5V	-7.5V	-7.5V	10V

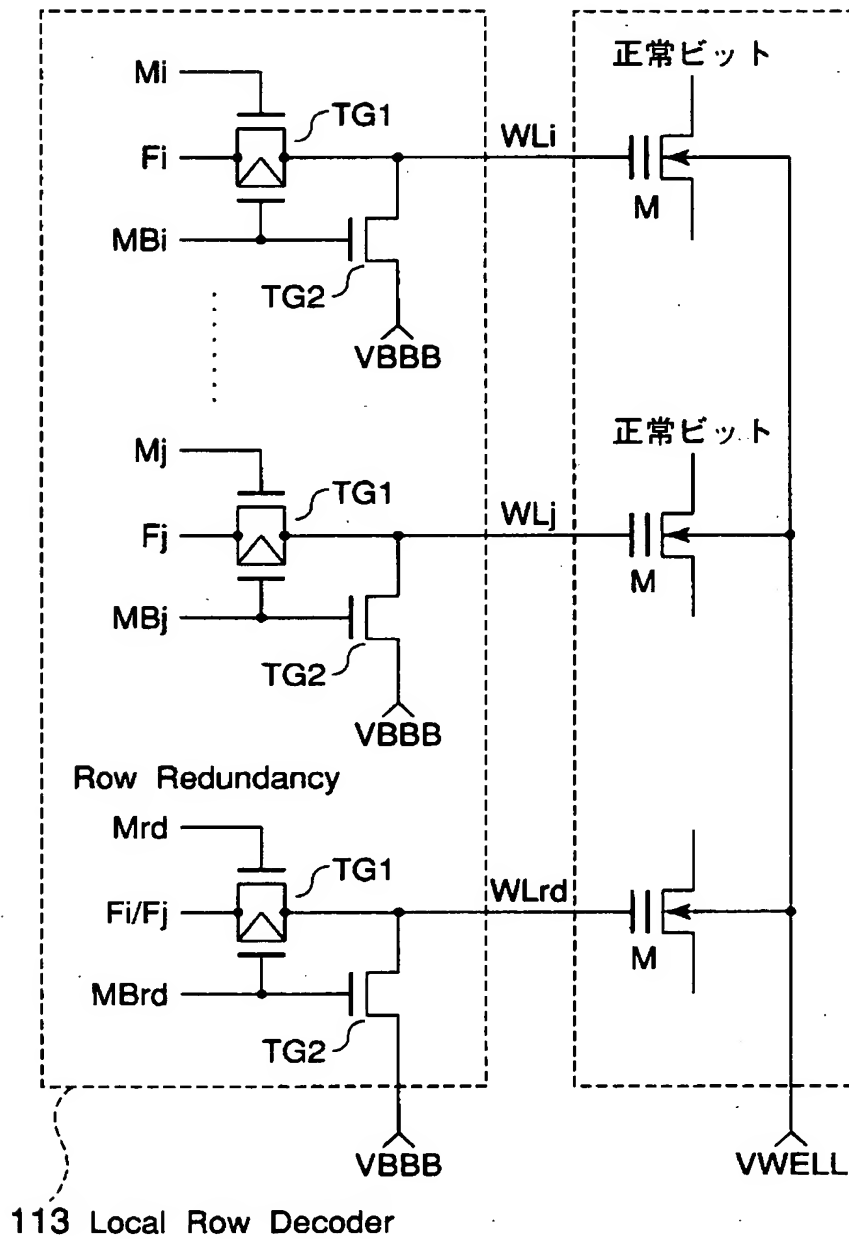
通常の消去が行なわれる

(c)

Mrd	MBrd	Fi/Fj	VBBB	WLrd	VWELL
-7.5V	2.5V	2.5V	-7.5V	-7.5V	10V

通常の消去が行なわれる

【図 13】



【図 14】

(a)

Mi	MBi	Fi	VBBB	WLi	VWELL
-7.5V	2.5V	2.5V	-7.5V	-7.5V	10V

通常の消去が行なわれる

(b)

Mj	MBj	Fj	VBBB	WLj	VWELL
-7.5V	2.5V	2.5V	-7.5V	-7.5V	10V

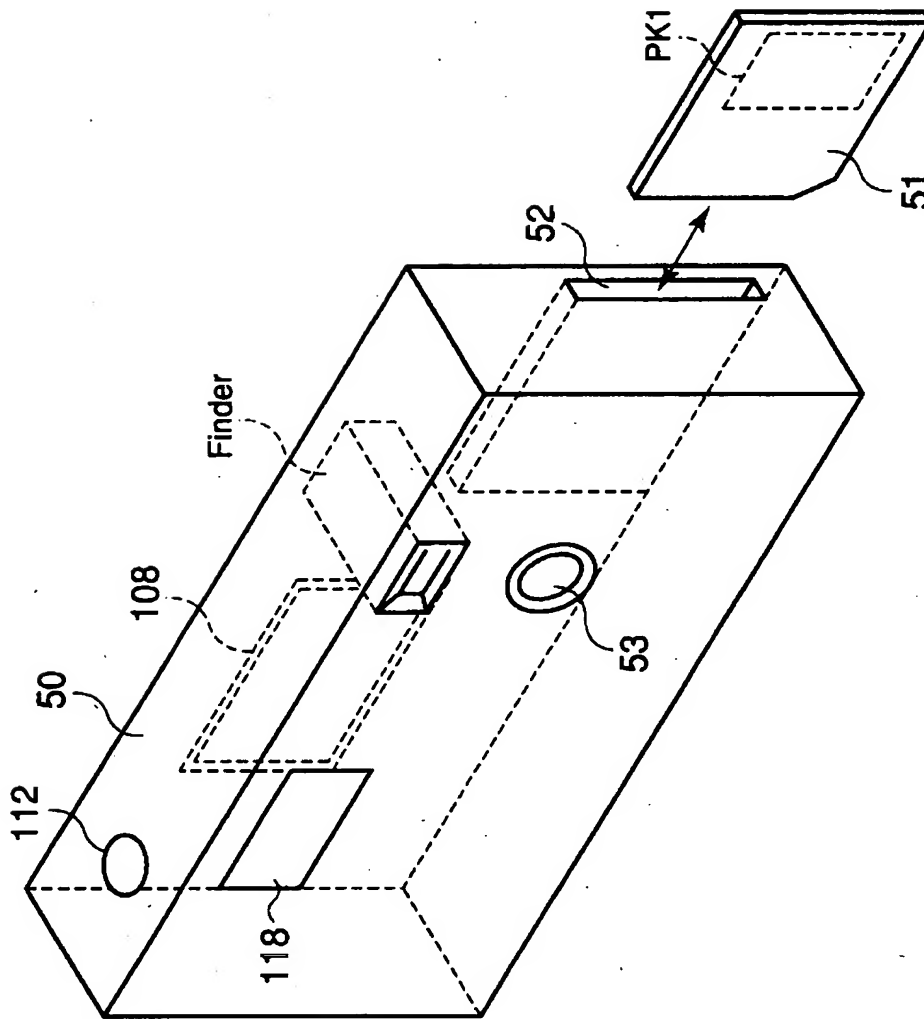
通常の消去が行なわれる

(c)

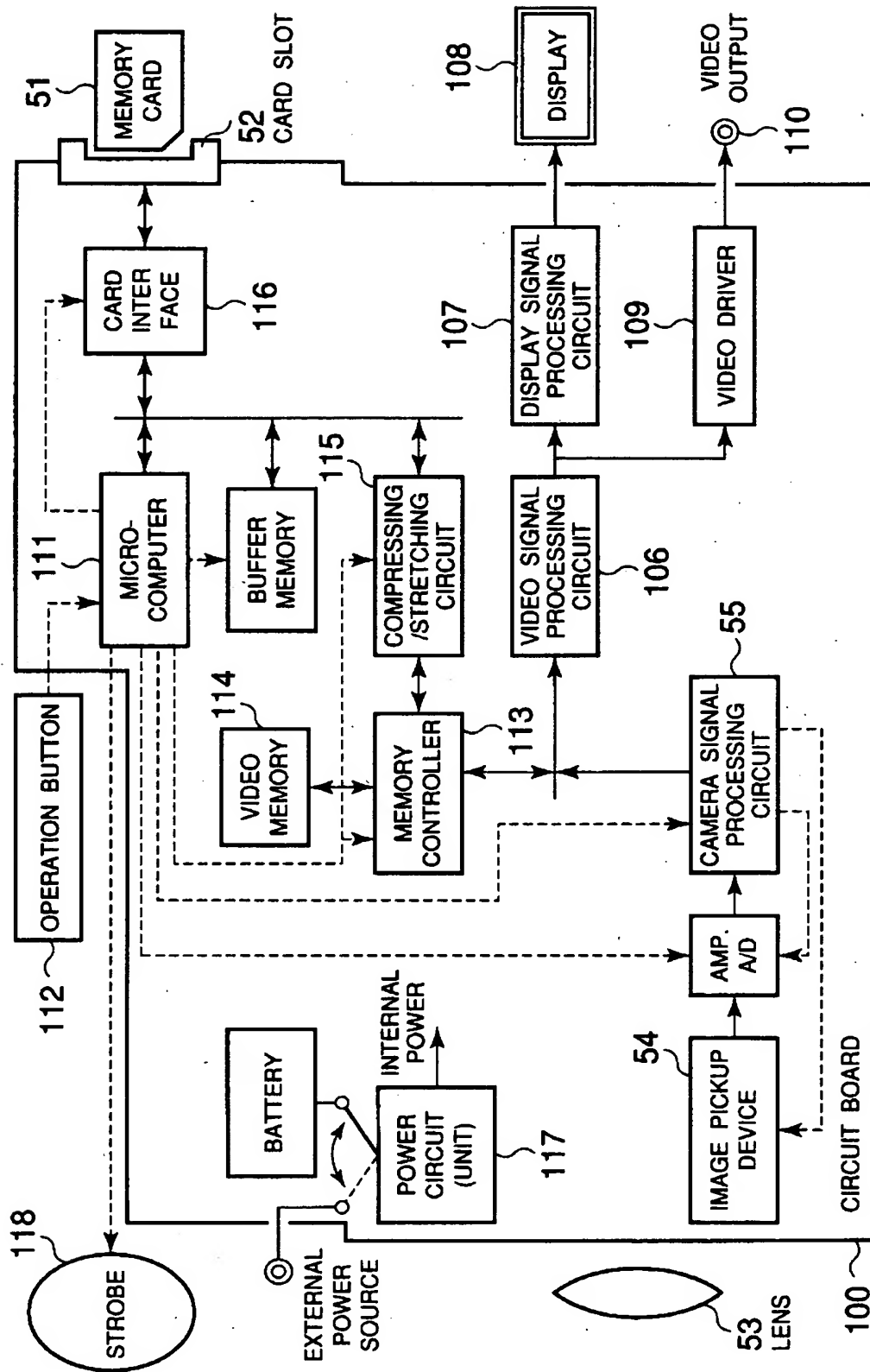
Mrd	MBrd	Fi/Fj	VBBB	WLrd	VWELL
2.5V	-7.5V	2.5V	-7.5V	2.5V	10V

使わないR/Dセルは消去されない

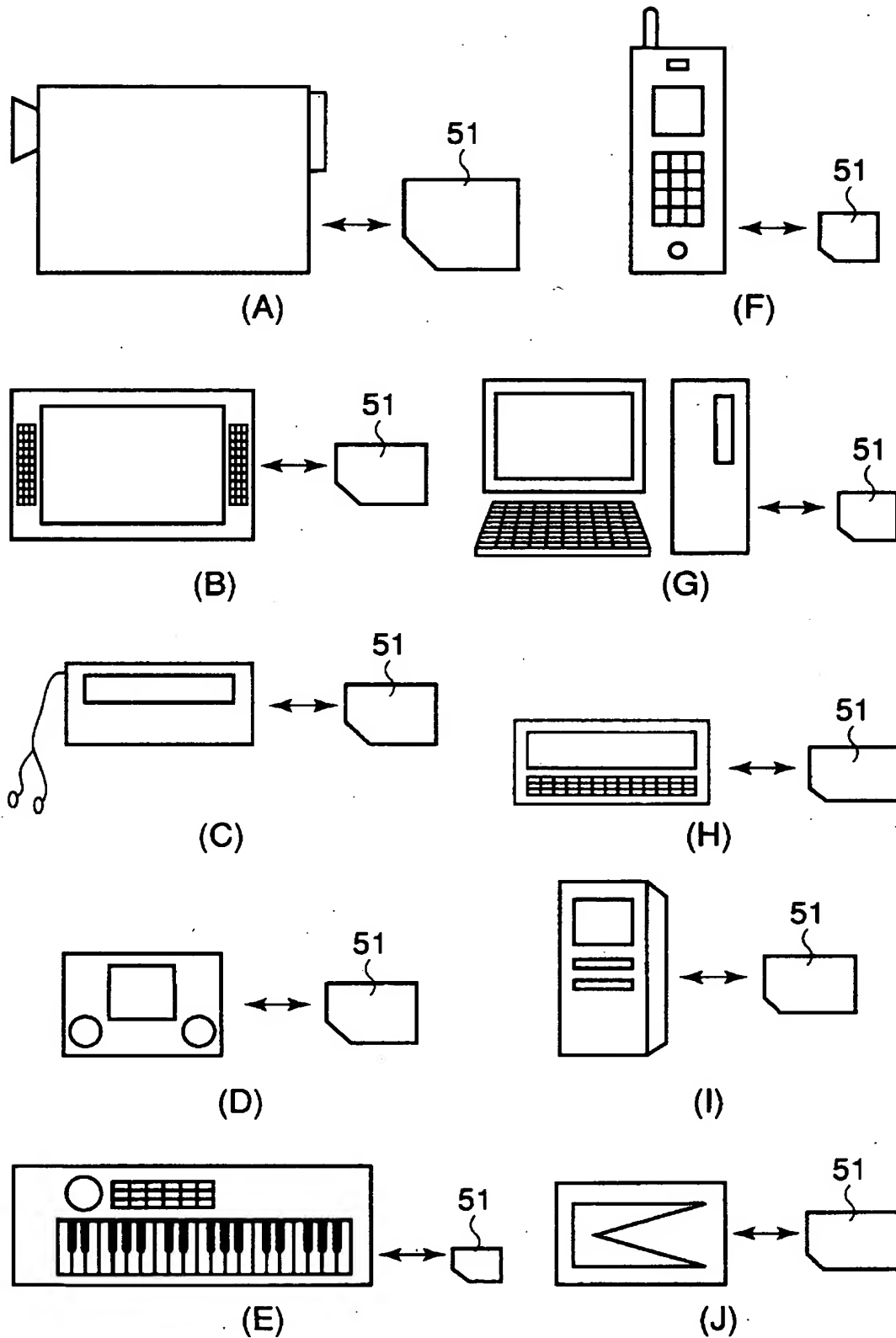
【図 15】



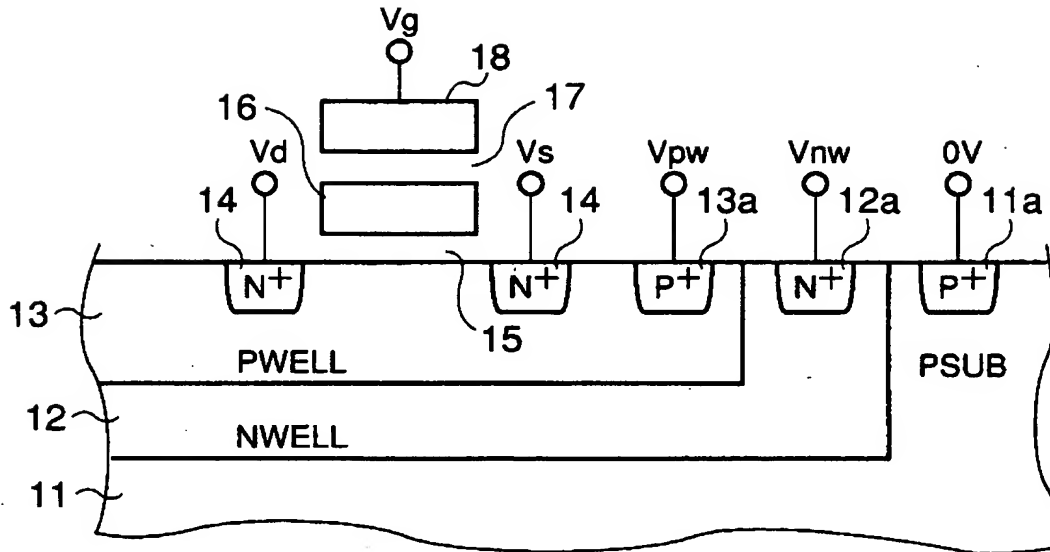
【図 16】



【図 17】



【図 18】



【図 19】

動作条件

	Vg	Vd	Vs	Vpw	Vnw
読み出し	5V	1V	0V	0V	0V
書き込み	9V	5V	0V	0V	0V
消去	-7.5V	FL	10V	10V	10V

【書類名】 要約書

【要約】

【課題】 メモリセルのW/E を繰り返してもワード線・基盤間が短絡してしまうようなビット不良に絡んだ市場不良を防止可能なチャネル消去型フラッシュメモリを実現し得る不揮発性半導体記憶装置、電子カードと電子装置を提供する。

【解決手段】 メモリセルアレイの正規のメモリ空間とは別に冗長な複数本のワード線から構成される冗長ワード線群を有し、不良のメモリセルを含む正規のワード線群を冗長ワード線群に置換する機能を具備するチャネル消去型フラッシュメモリにおいて、消去動作時に、メモリセルアレイの基盤には正の第1電圧、正常なワード線には0V以下の第2電圧、不良メモリセルを含んだ正規ワード線群もしくは冗長ワード線群に含まれる全てのワード線には第3電圧が印加される。第1電圧と第3電圧との電位差が第1電圧と第2電圧との電位差より小さくなるように設定される。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2003年 5月 9日
[変更理由]	名称変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝